

日 庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office

出願年月日
Date of Application:

2002年10月24日

出願番号
Application Number:

特願2002-310140

[ST.10/C]:

[JP2002-310140]

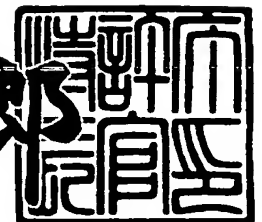
出願人
Applicant(s):

パイオニア株式会社

2003年 6月30日

特許庁長官
Commissioner,
Japan Patent Office

太田信一郎



出証番号 出証特2003-3051435

【書類名】 特許願

【整理番号】 57P0215

【提出日】 平成14年10月24日

【あて先】 特許庁長官殿

【国際特許分類】 H01J 17/49

【発明の名称】 表示パネルの駆動装置

【請求項の数】 3

【発明者】

【住所又は居所】 山梨県中巨摩郡田富町西花輪 2 6 8 0 番地 パイオニア株式会社内

【氏名】 井手 茂生

【特許出願人】

【識別番号】 000005016

【氏名又は名称】 パイオニア株式会社

【代理人】

【識別番号】 100079119

【弁理士】

【氏名又は名称】 藤村 元彦

【手数料の表示】

【予納台帳番号】 016469

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 9006557

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 表示パネルの駆動装置

【特許請求の範囲】

【請求項 1】 複数の行電極と、前記行電極に交差して配列された複数の列電極と、前記行電極及び前記列電極の各交差部に配置された容量性発光素子と、を有する表示パネルを駆動する駆動装置であって、

第 1 電圧を発生する第 1 電源を備え前記第 1 電圧に基づいて前記容量性発光素子各々を点灯状態及び消灯状態のいずれか一方に設定させるべき走査パルスを発生して前記行電極に印加するスキャンドライバと、

第 2 電圧を発生する第 2 電源を備え前記第 2 電圧に基づいて前記点灯状態に設定された前記容量性発光素子を発光させるべき維持パルスを発生して前記行電極に印加するサスティンドライバと、

前記第 1 電源にて発生した前記第 1 電圧と前記第 2 電源にて発生した前記第 2 電圧とを加算した電圧に基づいて前記容量性発光素子の状態を初期化すべきリセットパルスを発生して前記行電極に印加するリセットドライバと、を有することを特徴とする表示パネルの駆動装置。

【請求項 2】 前記リセットドライバは、前記第 2 電源の正端子と前記第 1 電源の負端子とを第 1 抵抗を介して接続する第 1 スイッチング手段と、前記第 1 電源の負端子を第 2 抵抗を介して接地せしめる第 2 スイッチング手段と、からなることを特徴とする請求項 1 記載の表示パネルの駆動装置。

【請求項 3】 前記スキャンドライバは、前記第 1 電源の正端子と前記行電極とを接続する第 3 スイッチング手段と、前記第 1 電源の負端子と前記行電極とを接続する第 4 スイッチング手段とを含むことを特徴とする請求項 1 記載の表示パネルの駆動装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、容量性発光素子がマトリクス状に配列されている表示パネルの駆動装置に関する。

【 0 0 0 2 】

【従来の技術】

現在、上記の如き表示パネルとしてプラズマディスプレイパネルを搭載した表示装置が製品化されている(例えば、特許文献1参照)。

図1は、かかる表示装置の概略構成を示す図である。

図1において、プラズマディスプレイパネルとしてのPDP1には、X及びYの1対にて1画面の各行(第1行～第n行)に対応した行電極対を為す行電極 $Y_1 \sim Y_n$ 及び行電極 $X_1 \sim X_n$ が形成されている。更に、これら行電極対に直交し、かつ図示せぬ誘電体層及び放電空間を挟んで、1画面の各列(第1列～第m列)に対応した列電極を為す列電極 $D_1 \sim D_m$ が形成されている。この際、1組の行電極対と1つの列電極との交叉部に、容量性発光素子としての放電セルが形成される。アドレスドライバ2は、映像信号に基づく各画素毎の画素データを、その論理レベルに応じた電圧値を有する画素データパルスに変換し、これを1行分毎に、上記列電極 $D_1 \sim D_m$ に印加する。X行電極ドライバ3は、各放電セルの残留壁電荷量を初期化する為のリセットパルス、後述するが如き発光放電セルの放電発光状態を維持させる為の維持放電パルスを発生し、これらを上記行電極 $X_1 \sim X_n$ に印加する。Y行電極ドライバ4は、上記X行電極ドライバ3と同様に、各放電セルの残留壁電荷量を初期化する為のリセットパルス、発光放電セルの放電発光状態を維持させる為の維持放電パルスを発生し、これらを上記行電極 $Y_1 \sim Y_n$ に印加する。更に、Y行電極ドライバ4は、放電セル内に発生した荷電粒子を再形成させる為のプライミングパルス、並びに各放電セルに対し画素データパルスに応じた電荷量を形成せしめて上記発光放電セル又は非発光放電セルの設定を行う為の走査パルスSPを発生し、これらを行電極 $Y_1 \sim Y_n$ に印加する。

【 0 0 0 3 】

図2は、X行電極ドライバ3及びY行電極ドライバ4の内部構成を表す図である。尚、図2において、電極 X_j は電極 $X_1 \sim X_n$ のうちの第j行の電極であり、電極 Y_j は電極 $Y_1 \sim Y_n$ のうちの第j行の電極を示している。

X行電極ドライバ3には、2つの電源B1、B2が備えられている。電源B1は電圧 V_{s1} (例えば、170V)を出力し、電源B2は電圧 V_{r1} (例えば、19

0 V) を出力する。電源 B 1 の正端子はスイッチング素子 S 3 を介して電極 X_j への接続ライン 1 1 に接続され、負端子はアース接続されている。接続ライン 1 1 とアースとの間にはスイッチング素子 S 4 が接続されている他、スイッチング素子 S 1、ダイオード D 1 及びコイル L 1 からなる直列回路と、コイル L 2、ダイオード D 2 及びスイッチング素子 S 2 からなる直列回路とがコンデンサ C 1 を共通にアース側に介して接続されている。なお、ダイオード D 1 はコンデンサ C 1 側をアノードとしており、ダイオード D 2 はコンデンサ C 1 側をカソードとして接続されている。また、電源 B 2 の正端子はスイッチング素子 S 8 及び抵抗 R 1 を介して接続ライン 1 1 に接続され、電源 B 2 の負端子はアース接続されている。Y 行電極ドライバ 4 には、4 つの電源 B 3 ~ B 6 が備えられている。電源 B 3 は電圧 V_{s1} (例えば、170 V) を出力し、電源 B 4 は電圧 V_{r1} (例えば、190 V) を出力し、電源 B 5 は電圧 V_{off} (例えば、140 V) を出力し、電源 B 6 は電圧 V_h (例えば、160 V、 $V_h > V_{off}$) を出力する。電源 B 3 の正端子はスイッチング素子 S 13 を介してスイッチング素子 S 15 への接続ライン 1 2 に接続され、負端子はアース接続されている。接続ライン 1 2 とアースとの間にはスイッチング素子 S 14 が接続されている他、スイッチング素子 S 11、ダイオード D 3 及びコイル L 4 からなる直列回路と、コイル L 4、ダイオード D 4 及びスイッチング素子 S 12 からなる直列回路とがコンデンサ C 2 を共通にアース側に介して接続されている。なお、ダイオード D 3 はコンデンサ C 2 側をアノードとしており、ダイオード D 4 はコンデンサ C 2 側をカソードとして接続されている。接続ライン 1 2 はスイッチング素子 S 15 を介して電源 B 6 の正端子への接続ライン 1 3 に接続されている。電源 B 4 の正端子はアース接続され、負端子はスイッチング素子 S 16、そして抵抗 R 2 を介して接続ライン 1 3 に接続されている。電源 B 5 の正端子はスイッチング素子 S 17 を介して接続ライン 1 3 に接続され、負端子はアース接続されている。接続ライン 1 3 はスイッチング素子 S 21 を介して電極 Y_j への接続ライン 1 4 に接続されている。電源 B 6 の負端子はスイッチング素子 S 22 を介して接続ライン 1 4 に接続されている。接続ライン 1 3、1 4 との間にはダイオード D 5 が接続され、またスイッチング素子 S 23 とダイオード D 6 との直列回路が接続されている。ダイオード D 5 は接続

ライン14側をアノードとし、ダイオードD6は接続ライン14側をカソードとして接続されている。

【0004】

ここで、上記スイッチング素子S1～S4、S8、S11～S17及びS21～S23のオン/オフ切り換えは、図示しない制御回路によって制御される。

尚、Y行電極ドライバ4内では、電源B3、スイッチング素子S11～S15、コイルL3、L4、ダイオードD3、D4及びコンデンサC2がサスティンドライバ部を構成している。又、電源B4、抵抗R2及びスイッチング素子S16がリセットドライバ部を構成し、残りの電源B5、B6、スイッチング素子S13、S17、S21、S22及びダイオードD5、D6がスキन्दライバ部を構成している。

【0005】

次に、かかる構成による動作について図3のタイミングチャートを参照しつつ説明する。

図3に示すように、PDP1の駆動は、リセット期間、アドレス期間及びサスティン期間によって分けして行われる。

先ず、リセット期間では、Y行電極ドライバ4のスイッチング素子S23がオンとなる。スイッチング素子S23はリセット期間及びサスティン期間においてオンとなる。また、同時にX行電極ドライバ3のスイッチング素子S8がオンとなり、Y行電極ドライバ4のスイッチング素子S16がオンとなる。その他のスイッチング素子はオフである。スイッチング素子S8のオンにより電源B2の正端子からスイッチング素子S8、抵抗R1を介して電極X_jに電流が流れ、またスイッチング素子S16のオンにより電極Y_jからダイオードD5、抵抗R2、スイッチング素子S16を介して電源B4の負端子に電流が流れ込む。この際、PDP1の負荷容量C0と抵抗R1との時定数により電極X_j上の電位が徐々に上昇し、図3に示す如きリセットパルスRP_xが生成される。一方、電極Y_jの電位は負荷容量C0と抵抗R2との時定数により徐々に低下し、図3に示す如きリセットパルスRP_yが生成される。リセットパルスRP_xは電極X₁～X_nの全てに同時に印加され、リセットパルスRP_yは電極Y₁～Y_n全てに同時に印加される。

。これらリセットパルス RP_x 及び RP_y の同時印加により、PDP1の全ての放電セル内においてリセット放電が生起され、この放電終息後、全放電セルの誘電体層には一様に所定量の壁電荷が形成される。スイッチング素子S8及びスイッチング素子S16はリセットパルス RP_x 及び RP_y のレベルが飽和した後、リセット期間終了以前にオフとなる。また、この時点にスイッチング素子S4、S14及びS15がオンとなり、電極 X_j 及び Y_j は共にアースされる。これによりリセットパルス RP_x 及び RP_y は消滅する。

【0006】

次に、アドレス期間では、スイッチング素子S14及びS15がオフとなり、スイッチング素子S23がオフとなり、スイッチング素子S17がオンとなり、同時にスイッチング素子S22がオンとなる。スイッチング素子S17のオンにより電源B5と電源B6とが直列に接続された状態となり、電源B6の負端子には電圧 V_h と V_{off} との差を示す負電位が生じ、それが電極 Y_j に印加される。更に、このアドレス期間においてアドレスドライバ2は映像信号に基づく各画素毎の画素データを、その論理レベルに応じた電圧値を有する画素データパルス $DP_1 \sim DP_n$ に変換し、これを1行分毎に、上記列電極 $D_1 \sim D_m$ に順次印加する。図3に示すように電極 Y_j 、 Y_{j+1} に対しては画素データパルス DP_j 、 DP_{j+1} が印加される。この間、Y行電極ドライバ4は、正電圧のプライミングパルスPPを行電極 $Y_1 \sim Y_n$ に順次印加しつつ、各プライミングパルスPPの印加直後でありかつ上記画素データパルス群 $DP_1 \sim DP_n$ 各々のタイミングに同期させて負電圧の走査パルスSPを行電極 $Y_1 \sim Y_n$ に順次印加して行く。電極 Y_j について説明すると、プライミングパルスPPを生成する際には、スイッチング素子S21がオンとなり、スイッチング素子S22がオフとなる。また、スイッチング素子S17はオンのままである。これにより電源B5の正端子の電位 V_{off} がスイッチング素子S17、そしてスイッチング素子S21を介して電極 Y_j にプライミングパルスPPとして印加される。プライミングパルスPPの印加後、アドレスドライバ2からの画素データパルス DP_j の印加に同期してスイッチング素子S21がオフとなり、スイッチング素子S22がオンとなる。これにより電源B6の負端子の電圧 V_h と V_{off} との差を示す負電位が電極 Y_j に走査パルスSPとして

印加される。そして、アドレスドライバ 2 からの画素データパルス DP_j の印加の停止に同期してスイッチング素子 S_{21} がオンとなり、スイッチング素子 S_{22} がオフとなり、電源 B_5 の正端子の電位 V_{off} がスイッチング素子 S_{17} 、そしてスイッチング素子 S_{21} を介して電極 Y_j に印加される。その後、電極 Y_{j+1} についても図 3 に示すように、電極 Y_j と同様にプライミングパルス PP が印加され、アドレスドライバ 2 からの画素データパルス DP_{j+1} の印加に同期して走査パルス SP が印加される。走査パルス SP が印加された行電極に属する放電セルの内では、正電圧の画素データパルスが更に同時に印加された放電セルにおいて放電が生じ、その壁電荷の大半が失われる。一方、走査パルス SP が印加されたものの正電圧の画素データパルスが印加されなかった放電セルでは放電が生じないので、上記壁電荷が残留したままとなる。この際、壁電荷が残留したままとなった放電セルは発光放電セル、壁電荷が消滅してしまった放電セルは非発光放電セルとなる。アドレス期間からサステイン期間に切り替わる時には、スイッチング素子 S_{17} 、 S_{21} はオフとなり、代わってスイッチング素子 S_{14} 及び S_{15} がオンとなる。スイッチング素子 S_4 のオン状態は継続される。

【0007】

次に、サステイン期間では、X 行電極ドライバ 3 のスイッチング素子 S_4 がオン状態となることにより電極 X_j の電位はほぼ 0 V のアース電位となる。次に、スイッチング素子 S_4 がオフとなり、スイッチング素子 S_1 がオンになると、コンデンサ C_1 に蓄えられている電荷によりコイル L_1 、ダイオード D_1 、そしてスイッチング素子 S_1 を介して電流が電極 X_j に達して PDP_1 の負荷容量 C_0 を充電させる。このとき、コイル L_1 及び負荷容量 C_0 の時定数により電極 X_j の電位は図 3 に示すように徐々に上昇する。次いで、スイッチング素子 S_1 がオフとなり、スイッチング素子 S_3 がオンとなる。これにより、電極 X_j には電源 B_1 の正端子の電位 V_{S1} が印加される。その後、スイッチング素子 S_3 がオフとなり、スイッチング素子 S_2 がオンとなり、負荷容量 C_0 に蓄積された電荷により電極 X_j からコイル L_2 、ダイオード D_2 、そしてスイッチング素子 S_2 を介してコンデンサ C_1 に電流が流れ込む。このとき、コイル L_2 及びコンデンサ C_1 の時定数により電極 X_j の電位は図 3 に示すように徐々に低下する。電極 X_j の

電位がほぼ 0 V に達すると、スイッチング素子 S 2 がオフとなり、スイッチング素子 S 4 がオンとなる。かかる動作によって X 行電極ドライバ 3 は図 3 に示した如き正電圧の維持放電パルス $I P_x$ を電極 X_j に印加する。維持放電パルス $I P_x$ が消滅するスイッチング素子 S 4 のオン時に同時に、Y 行電極ドライバ 4 ではスイッチング素子 S 1 1 がオンとなり、スイッチング素子 S 1 4 がオフとなる。スイッチング素子 S 1 4 がオンであったときには電極 Y_j の電位はほぼ 0 V のアース電位となっているが、スイッチング素子 S 1 4 がオフとなり、スイッチング素子 S 1 1 がオンになると、コンデンサ C 2 に蓄えられている電荷によりコイル L 3、ダイオード D 3、スイッチング素子 S 1 1、スイッチング素子 S 1 5、スイッチング素子 S 1 3、そしてダイオード D 6 を介して電流が電極 Y_j に達して P D P 1 の負荷容量 C 0 を充電させる。このとき、コイル L 3 及び負荷容量 C 0 の時定数により電極 Y_j の電位は図 3 に示すように徐々に上昇する。次いで、スイッチング素子 S 1 1 がオフとなり、スイッチング素子 S 1 3 がオンとなる。これにより、電極 Y_j には電源 B 3 の正端子の電位 V_{S1} が印加される。その後、スイッチング素子 S 1 3 がオフとなり、スイッチング素子 S 1 2 がオンとなり、負荷容量 C 0 に蓄積された電荷により電極 Y_j からダイオード D 5、スイッチング素子 S 1 5、コイル L 4、ダイオード D 4、そしてスイッチング素子 S 1 2 を介してコンデンサ C 2 に電流が流れ込む。このとき、コイル L 4 及びコンデンサ C 2 の時定数により電極 Y_j の電位は図 3 に示すように徐々に低下する。電極 Y_j の電位がほぼ 0 V に達すると、スイッチング素子 S 1 2 がオフとなり、スイッチング素子 S 1 4 がオンとなる。かかる動作によって Y 行電極ドライバ 4 は図 3 に示した如き正電圧の維持放電パルス $I P_y$ を電極 Y_j に印加する。

【 0 0 0 8 】

このように、サステイン期間においては、維持放電パルス $I P_x$ と維持放電パルス $I P_y$ とが交互に生成して電極 $X_1 \sim X_n$ と電極 $Y_1 \sim Y_n$ とに交互に印加されるので、上記壁電荷が残留したままとなっている発光放電セルは放電発光を繰り返しその発光状態を維持する。

ところで、リセット期間において全放電セル内の壁電荷量を一齐に初期化すべく生起させるリセット放電は比較的強い放電にする必要が有るため、図 3 に示す

如く、リセットパルス RP_y のパルス電圧 ($-V_{r1}$) は維持放電パルス IP_y のパルス電圧よりも高くしてある。それ故に、Y 行電極ドライバ 4 内には、維持放電パルス IP_y を発生させる為の電源 B 3 (電圧 V_{S1}) よりも高電圧を発生する電源 B 4 (電圧 V_{r1}) が設けられており、回路規模が大になるという問題を抱えていた。又、上記電源 B 3 及び電源 B 4 の電圧値が互いに異なり、かつ電源 B 3 及び電源 B 4 間に設けられているスイッチング素子 S 13、S 15 及び S 16 が半導体スイッチであることから、電源 B 3 及び電源 B 4 間に逆電流が流れる可能性があった。

【0009】

【特許文献 1】

特開 2000-155557 号公報

【0010】

【発明が解決しようとする課題】

本発明は、かかる問題を解決すべく為されたものであり、回路規模を小にすることが可能な表示パネルの駆動装置を提供することを目的とするものである。

【0011】

【課題を解決するための手段】

請求項 1 記載による表示パネルの駆動装置は、複数の行電極と、前記行電極に交差して配列された複数の列電極と、前記行電極及び前記列電極の各交差部に配置された容量性発光素子と、を有する表示パネルを駆動する駆動装置であって、第 1 電圧を発生する第 1 電源を備え前記第 1 電圧に基づいて前記容量性発光素子各々を点灯状態及び消灯状態のいずれか一方に設定させるべき走査パルスを発生して前記行電極に印加するスキヤンドライバと、第 2 電圧を発生する第 2 電源を備え前記第 2 電圧に基づいて前記点灯状態に設定された前記容量性発光素子を発光させるべき維持パルスを発生して前記行電極に印加するサステインドライバと、前記第 1 電源にて発生した前記第 1 電圧と前記第 2 電源にて発生した前記第 2 電圧とを加算した電圧に基づいて前記容量性発光素子の状態を初期化すべきリセットパルスを発生して前記行電極に印加するリセットドライバと、を有する。

【0012】

【発明の実施の形態】

以下、本発明の実施例を図面を参照しつつ詳細に説明する。

図4は、表示パネルとしてPDPを搭載したプラズマディスプレイ装置の概略構成を示す図である。

図4において、プラズマディスプレイパネルとしてのPDP10は、X及びYの1対にて1画面の各表示ライン(第1表示ライン～第n表示ライン)に対応した行電極対を為す行電極 $Y_1 \sim Y_n$ 及び $X_1 \sim X_n$ を備えている。更に、PDP10には、上記行電極対に直交し、かつ図示せぬ誘電体層及び放電空間を挟んで1画面の各列(第1列～第m列)に対応した列電極 $D_1 \sim D_m$ が形成されている。尚、1対の行電極対(X、Y)と1つの列電極Dとの交差部に、容量性発光素子としての放電セルが形成される。

【0013】

駆動制御回路50は、入力された映像信号を各画素毎の画素データに変換し、この画素データを各ビット桁毎に分割して画素データビットを得る。そして、駆動制御回路50は、同一ビット桁同士にて各表示ライン分(m個)ずつ画素データビットをアドレスドライバ20に供給する。更に、駆動制御回路50は、図5に示す如きサブフィールド法に基づく発光駆動フォーマットに従ってPDP10を駆動させるべく、各種スイッチング信号SW(後述する)をX行電極ドライバ30及びY行電極ドライバ40の各々に供給する。尚、サブフィールド法では、映像信号における各フィールドを図5に示す如きN個のサブフィールドSF1～SF(N)に分割し、サブフィールド毎に各画素に対する発光制御を実行することにより、中間輝度を表現するものである。

【0014】

図6は、X行電極ドライバ30及びY行電極ドライバ40各々の内部構成を示す図である。

図6に示す如く、X行電極ドライバ30におけるコンデンサC1は、その一端がPDP10の接地電位としてのPDP接地電位に接地されている。スイッチング素子S1は、上記駆動制御回路50から論理レベル0のスイッチング信号SW1が供給されている間はオフ状態にある。一方、かかるスイッチング信号SW1

の論理レベルが1である場合にはオン状態となって、上記コンデンサC1の他端に生じた電位をコイルL1及びダイオードD1を介してPDP10の行電極Xに印加する。スイッチング素子S2は、上記駆動制御回路50から論理レベル0のスイッチング信号SW2が供給されている間はオフ状態である一方、かかるスイッチング信号SW2の論理レベルが1である場合にはオン状態となって行電極X上の電位をコイルL2及びダイオードD2を介して上記コンデンサC1の他端に印加する。この際、コンデンサC1は、この行電極X上の電位によって充電される。スイッチング素子S3は、上記駆動制御回路50から論理レベル0のスイッチング信号SW3が供給されている間はオフ状態である一方、かかるスイッチング信号SW3が論理レベル1である場合にはオン状態となって電源B1が発生した電圧 V_s を行電極Xに印加する。尚、電圧 V_s は、後述する維持放電パルス IP_x のパルス電圧である。つまり、電源B1は、維持放電パルス IP_x のパルス電圧値として電圧 V_s を発生する電源なのである。スイッチング素子S4は、上記駆動制御回路50から論理レベル0のスイッチング信号SW4が供給されている間はオフ状態である一方、かかるスイッチング信号SW4が論理レベル1である場合にはオン状態となって行電極Xの電位をPDP接地電位にする。

【0015】

Y行電極ドライバ40は、図6に示す如くサスティンドライバ部SUD、リセットドライバ部RSD及びスキヤンドライバ部SCDからなる。

サスティンドライバ部SUDにおけるコンデンサC2は、その一端がPDP10の接地電位としてのPDP接地電位に接地されている。スイッチング素子S11は、上記駆動制御回路50から論理レベル0のスイッチング信号SW11が供給されている間はオフ状態にある。一方、スイッチング信号SW11の論理レベルが1である場合にはオン状態となって、上記コンデンサC2の他端に生じた電位をコイルL3及びダイオードD3を介して接続ライン12上に印加する。スイッチング素子S12は、上記駆動制御回路50から論理レベル0のスイッチング信号SW12が供給されている間はオフ状態である一方、スイッチング信号SW12の論理レベルが1である場合にはオン状態となって接続ライン12上の電位をコイルL4及びダイオードD4を介して上記コンデンサC2の他端に印加する。

。この際、コンデンサC 2は、この接続ライン1 2上の電位によって充電される。スイッチング素子S 1 3は、上記駆動制御回路5 0から論理レベル0のスイッチング信号SW 1 3が供給されている間はオフ状態である一方、スイッチング信号SW 1 3が論理レベル1である場合にはオン状態となって電源B 3が発生した電圧 V_s を接続ライン1 2上に印加する。尚、電圧 V_s は、後述する維持放電パルス IP_y のパルス電圧値となる電圧である。つまり、電源B 1は、維持放電パルス IP_y のパルス電圧値として電圧 V_s を発生する電源なのである。スイッチング素子S 1 4は、上記駆動制御回路5 0から論理レベル0のスイッチング信号SW 1 4が供給されている間はオフ状態である一方、スイッチング信号SW 1 4が論理レベル1である場合にはオン状態となって接続ライン1 2上の電位をPDP接地電位にする。スイッチング素子S 1 5は、駆動制御回路5 0から供給されたスイッチング信号SW 1 5が論理レベル1である期間中に限りオン状態となって、上記接続ライン1 2と後述する接続ライン1 3とを接続する。

【0 0 1 6】

リセットドライバ部RSDにおけるスイッチング素子S 1 7は、上記駆動制御回路5 0から論理レベル0のスイッチング信号SW 1 7が供給されている間はオフ状態にある。一方、スイッチング信号SW 1 7が論理レベル1である場合にはスイッチング素子S 1 7はオン状態となり、上記電源B 3の正端子と接続ライン1 3とを抵抗R 1を介して接続する。すなわち、スイッチング素子S 1 7は、スイッチング信号SW 1 7に応じて、上記電源B 3が発生した電圧 V_s を抵抗R 1を介して接続ライン1 3上に印加するのである。スイッチング素子S 1 8は、上記駆動制御回路5 0から論理レベル0のスイッチング信号SW 1 8が供給されている間はオフ状態にある。一方、スイッチング信号SW 1 8が論理レベル1である場合にはスイッチング素子S 1 8はオン状態となり、接続ライン1 3を抵抗R 2及びダイオードD 7を介して接地する。

【0 0 1 7】

スキャンドライバ部SCDにおけるスイッチング素子S 1 9及びS 2 0は、上記駆動制御回路5 0から論理レベル0のスイッチング信号SW 1 9及びSW 2 0が供給されている間はオフ状態にある。一方、スイッチング信号SW 1 9及びS

W 2 0 が共に論理レベル 1 である場合には共にオン状態となり、電源 B 5 が発生した負の電圧 ($-V_{\text{off}}$) を抵抗 R 3 を介して接続ライン 1 3 上に印加する。尚、電圧 ($-V_{\text{off}}$) は、後述する走査パルス S P におけるパルス電圧値を担う電圧である。つまり、電源 B 5 は、走査パルス S P のパルス電圧値としての電圧 ($-V_{\text{off}}$) を発生する電源なのである。スイッチング素子 S 2 1 は、駆動制御回路 5 0 から供給されたスイッチング信号 S W 2 1 が論理レベル 1 である期間中に限りオン状態となって、電源 B 6 の正端子と行電極 Y とを接続する。すなわち、スイッチング素子 S 2 1 は、スイッチング信号 S W 2 1 に応じて、電源 B 6 の正端子の電位を行電極 Y 上に印加するのである。スイッチング素子 S 2 2 は、駆動制御回路 5 0 から供給されたスイッチング信号 S W 2 2 が論理レベル 1 である期間中に限りオン状態となって、電源 B 6 の負端子と行電極 Y とを接続する。すなわち、スイッチング素子 S 2 2 は、スイッチング信号 S W 2 2 に応じて、電源 B 6 の負端子に接続されている接続ライン 1 3 上の電位を行電極 Y 上に印加するのである。尚、電源 B 6 は、後述するアドレス期間内において全ての行電極 $Y_1 \sim Y_n$ 上の電圧を正極性の電圧に固定すべき電圧 V_h を発生する電源である。この際、電圧 V_h は、走査パルス S P におけるパルス電圧の一部を担うものとなる。つまり、電源 B 5 は、走査パルス S P のパルス電圧の一部を担う電圧 V_h を発生する電源なのである。

【 0 0 1 8 】

次に、かかる構成による動作について図 7 のタイミングチャートを参照しつつ説明する。尚、図 7 においては、図 5 に示す先頭のサブフィールド S F 1 内での動作を抜粋して示す図である。図 7 に示すようにサブフィールド S F 1 は、リセット期間、アドレス期間及びサステイン期間からなる。

先ず、リセット期間では、駆動制御回路 5 0 が、リセットドライバ部 R S D におけるスイッチング素子 S 1 7 及び S 2 1 をオフ状態からオン状態に切り換える。これにより、電源 B 3、スイッチング素子 S 1 7、抵抗 R 1、電源 B 6、スイッチング素子 S 2 1 及び行電極 Y なる電流路 (図 6 の C R 1 にて示す) を介して放電セル内に電流が流れ込む。この際、行電極 Y 上の電圧は P D P 1 0 の負荷容量 C 0 と抵抗 R 1 との時定数により図 7 に示す如く徐々に上昇する。そして、行電

極 Y 上の電圧が、電源 B 3 と電源 B 6 との直列接続によって生じる電圧 ($V_s + V_h$) に到達したら、駆動制御回路 5 0 は、スイッチング素子 S 1 7 及び S 2 1 をオフ状態に切り換えると共に、スイッチング素子 S 1 8 及び S 2 2 をオフ状態からオン状態に切り換える。これにより、スイッチング素子 S 2 2、S 1 8、抵抗 R 2 及びダイオード D 7 なる電流路 (図 6 の C R 2 にて示す) が形成され、行電極 Y 上の電位は図 7 に示す如く徐々に下降する。以上の如き動作により、図 7 に示す如きパルス電圧 ($V_s + V_h$) を有する、立ち上がり及び立ち下がり推移の緩やかなリセットパルス RP_y が生成され、これが PDP 1 0 の全ての行電極 $Y_1 \sim Y_n$ に同時に印加される。この際、リセットパルス RP_y の立ち上がり時において、PDP 1 0 の全放電セル内において第 1 リセット放電 (書込放電) が生起され、この放電終息後、全ての放電セルの誘電体層には一様に所定量の壁電荷が形成される。そして、リセットパルス RP_y の立ち下がり時において、全放電セルにおいて第 2 リセット放電 (消去放電) が生起され、全ての放電セル内から上記壁電荷が消滅する。すなわち、リセットパルス RP_y の印加に応じて生起される第 1 リセット放電及び第 2 リセット放電により、全ての放電セル内の壁電荷形成状態が初期化されるのである。

【 0 0 1 9 】

次に、アドレス期間では、駆動制御回路 5 0 が、スキヤンドライバ部 SCD におけるスイッチング素子 S 1 9 ~ S 2 1 をオフ状態からオン状態に切り換える。これにより、行電極 Y 上の電圧は、図 7 に示す如く電源 B 3 が発生した正極性の電圧 V_h に維持される。そして、駆動制御回路 5 0 は、PDP 1 0 における第 1 ~ 第 n 表示ライン各々に対応したスイッチング素子 S 2 1 を順次、所定期間だけオフ状態に切り換えると共に、第 1 ~ 第 n 表示ライン各々に対応したスイッチング素子 S 2 2 を順次、所定期間だけオン状態に切り換える。すると、スイッチング素子 S 2 1 がオフ状態、S 2 2 がオン状態にある期間だけ行電極 $Y_1 \sim Y_n$ 各々の電位が順次、正極性の電圧 V_h から負の電圧 $-V_{off}$ に推移して走査パルス SP が生成される。この間、アドレスドライバ 2 は映像信号に基づく各画素毎の画素データに対応した画素データパルス DP を 1 表示ライン分 (m 個) ずつ列電極 $D_1 \sim D_m$ に印加する。これにより、上記走査パルス SP と同時に、高電圧の画素デ

ータパルスDPが印加された放電セル内において選択的に書込放電が生じ、その放電終息後に壁電荷が形成される。一方、走査パルスSPが印加されたものの高電圧の画素データパルスが印加されなかった放電セル内では上記の如き書込放電は生起されないで、壁電荷の形成はなされない。かかるアドレス期間において、壁電荷が形成された放電セルは点灯セル状態、壁電荷が消滅してしまった放電セルは消灯セル状態に設定される。

【0020】

サステイン期間では、駆動制御回路50は、先ず、サステインドライバ部SUDのスイッチング素子S14をオフ状態からオン状態に切り換え、所定期間経過後に、サステインドライバ部SUDのスイッチング素子S15をオフ状態からオン状態に切り換える。そして、駆動制御回路50は、サステインドライバ部SUDのスイッチング素子S11～S14各々に対しては図7に示す如きスイッチング設定SSYを断続的に繰り返し実行する。更に、駆動制御回路50は、X行電極ドライバ30のスイッチング素子S1～S4各々に対しては図7に示す如きスイッチング設定SSXを断続的に繰り返し実行する。

【0021】

すなわち、スイッチング設定SSXでは、先ず、スイッチング素子S1～S4の内のS1のみがオン状態となり、コンデンサC1に蓄えられていた電荷に伴う電流がコイルL1、ダイオードD1、行電極Xを介して放電セルに流れ込む。これにより、行電極X上の電圧は図7に示す如く徐々に上昇して行く。次に、上記スイッチング素子S1と共にS3がオン状態となり、電源B1による電圧 V_s がそのまま行電極Xに印加される。これにより、行電極X上の電圧は電圧 V_s にて固定される。そして、スイッチング素子S1～S4の内のS2のみがオン状態となり、行電極X及びY間の負荷容量 C_0 に蓄えられていた電荷に伴う電流が行電極X、コイルL2、ダイオードD2を介してコンデンサC1に流れ込む。これにより、行電極X上の電圧は図7に示す如く徐々に下降して行く。以上の如きスイッチング設定SSXが断続的に繰り返し実行されることにより、図7に示す如き電圧 V_s をパルス電圧値とする維持放電パルス IP_x が生成され、これが繰り返し行電極X上に印加される。

【0022】

一方、スイッチング設定SSYでは、先ず、スイッチング素子S11～S14及びS17～S22の内のS11のみがオン状態となり、コンデンサC2に蓄積されていた電荷に伴う電流がコイルL3、ダイオードD3、スイッチング素子S15、スイッチング素子S22及び行電極Yを介して放電セルに流れ込む。これにより、行電極Y上の電圧は図7に示す如く徐々に上昇して行く。次に、上記スイッチング素子S11と共にS13がオン状態となり、電源B3が発生した電圧 V_s がスイッチング素子S15、及びスイッチング素子S22を介して行電極Yに印加される。これにより、行電極Y上の電圧は図7に示す如く電圧 V_s に固定される。そして、スイッチング素子S11～S14の内のS12、並びにスイッチング素子S17～S22の内のS22のみがオン状態となり、行電極X及びY間の負荷容量 C_0 に蓄えられていた電荷に伴う電流が行電極Y、スイッチング素子S22、S15、コイルL4、ダイオードD4を介してコンデンサC1に流れ込む。これにより、行電極Y上の電圧は図7に示す如く徐々に下降して行く。以上の如きスイッチング設定SSYが断続的に繰り返し実行されることにより、図7に示す如き電圧 V_s をパルス電圧値とする維持放電パルス IP_y が生成され、これが繰り返し行電極Yに印加される。

【0023】

サステイン期間では、壁電荷が存在する放電セル、つまり点灯セル状態に設定されている放電セルのみが、上記の如き維持放電パルス IP_x 及び IP_y が印加される度に放電(維持放電)し、その放電に伴う発光を繰り返す。

以上の如く、図6に示すY行電極ドライバ40においては、リセットパルス RP_y を生成する際には、スイッチング素子17及びスイッチング素子21をオン状態にする。これにより、維持放電パルス IP_y を生成する為の電源B3と走査パルスSPを生成する為の電源B6とが直列接続になり、両者の電圧の和である電圧($V_s + V_h$)がリセットパルスRPのパルス電圧として生成される。すなわち、リセットパルスを生成する為の専用の電源を設けずとも、比較的高電圧のパルス電圧を有するリセットパルスを生成可能にしたのである。この際、リセットパルスを生成する為の専用電源が不要となるので、維持放電パルス IP_y を生成す

る電源 B 3 に対する電流の逆流も起こらない。よって、リセットパルスを生成する為の専用電源と共に、逆流防止回路も不要となるので回路規模を小規模化することが可能となる。

【図面の簡単な説明】

【図 1】

プラズマディスプレイ装置の概略構成を示す図である。

【図 2】

図 1 に示されるプラズマディスプレイ装置の X 行電極ドライバ 3 及び Y 行電極ドライバ 4 の内部構成を示す図である。

【図 3】

X 行電極ドライバ 3 及び Y 行電極ドライバ 4 の動作を示すタイムチャートである。

【図 4】

本発明によるプラズマディスプレイ装置の概略構成を示す図である。

【図 5】

サブフィールド法に基づく概略駆動フォーマットを示す図である。

【図 6】

図 4 に示されるプラズマディスプレイ装置の X 行電極ドライバ 3 0 及び Y 行電極ドライバ 4 0 の内部構成を示す図である。

【図 7】

X 行電極ドライバ 3 0 及び Y 行電極ドライバ 4 0 の動作を示すタイムチャートである。

【符号の説明】

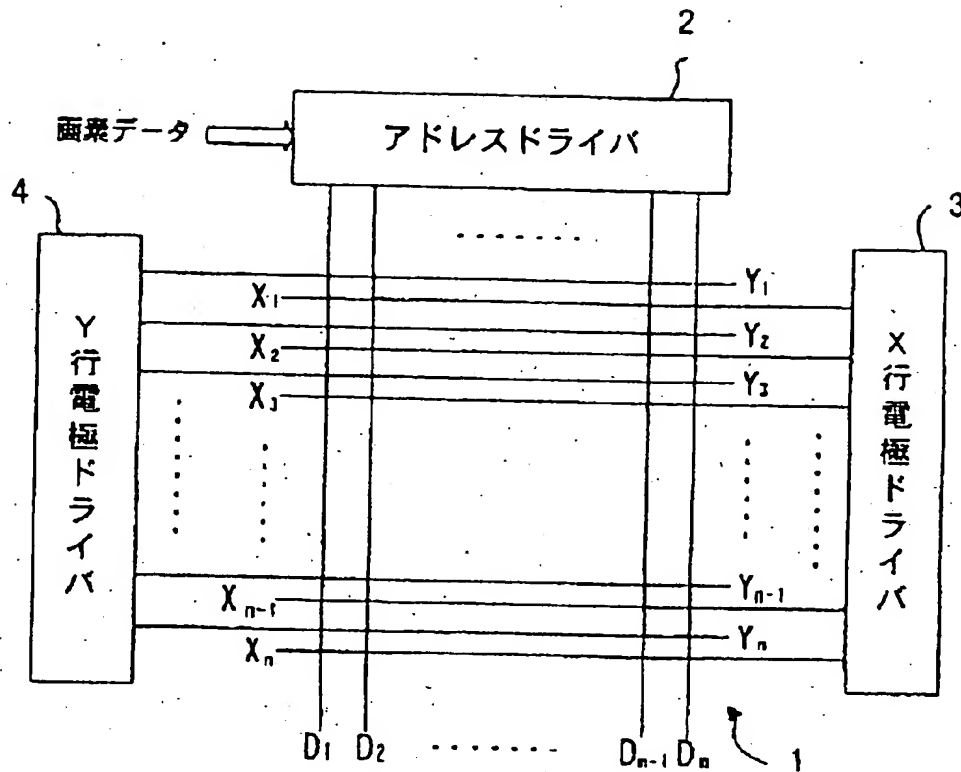
3, 3 0 X 行電極ドライバ

4, 4 0 Y 行電極ドライバ

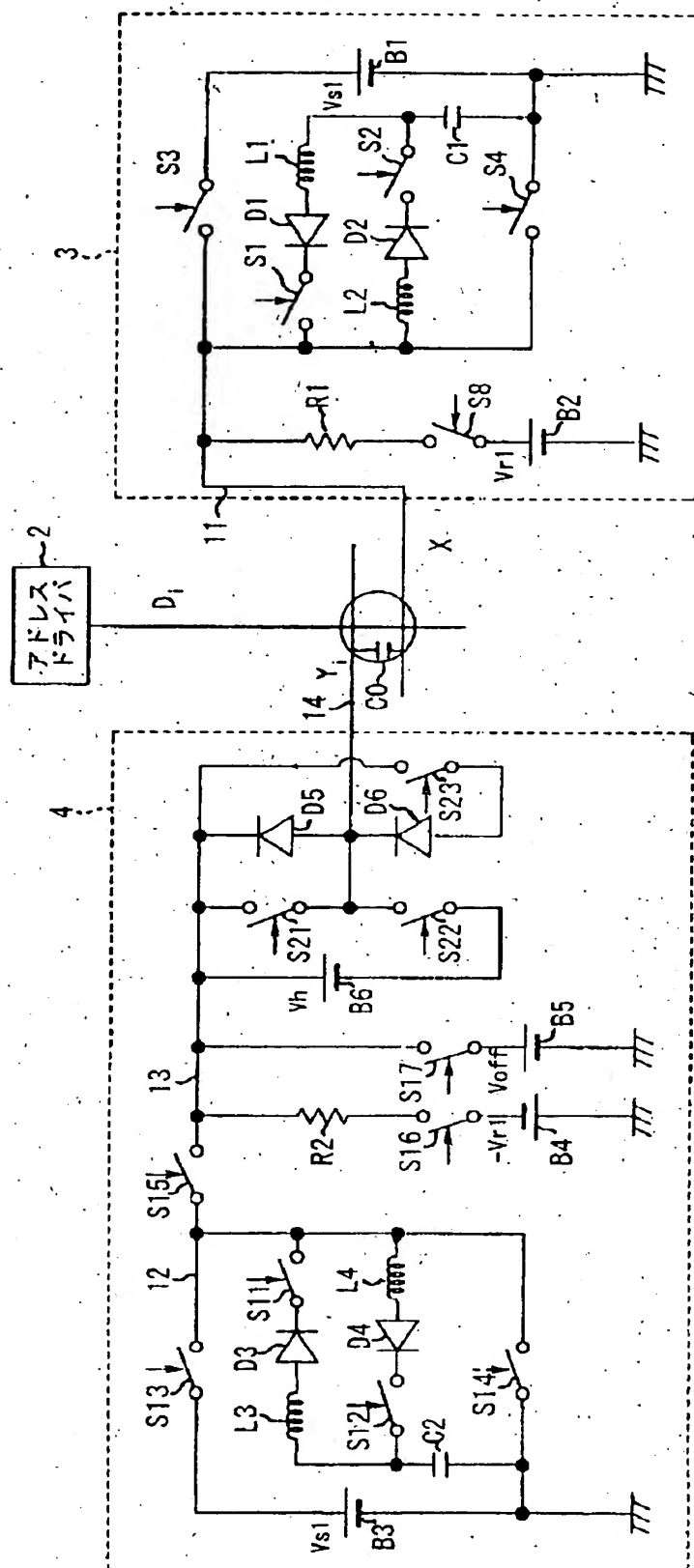
1 0 PDP

【書類名】 図面

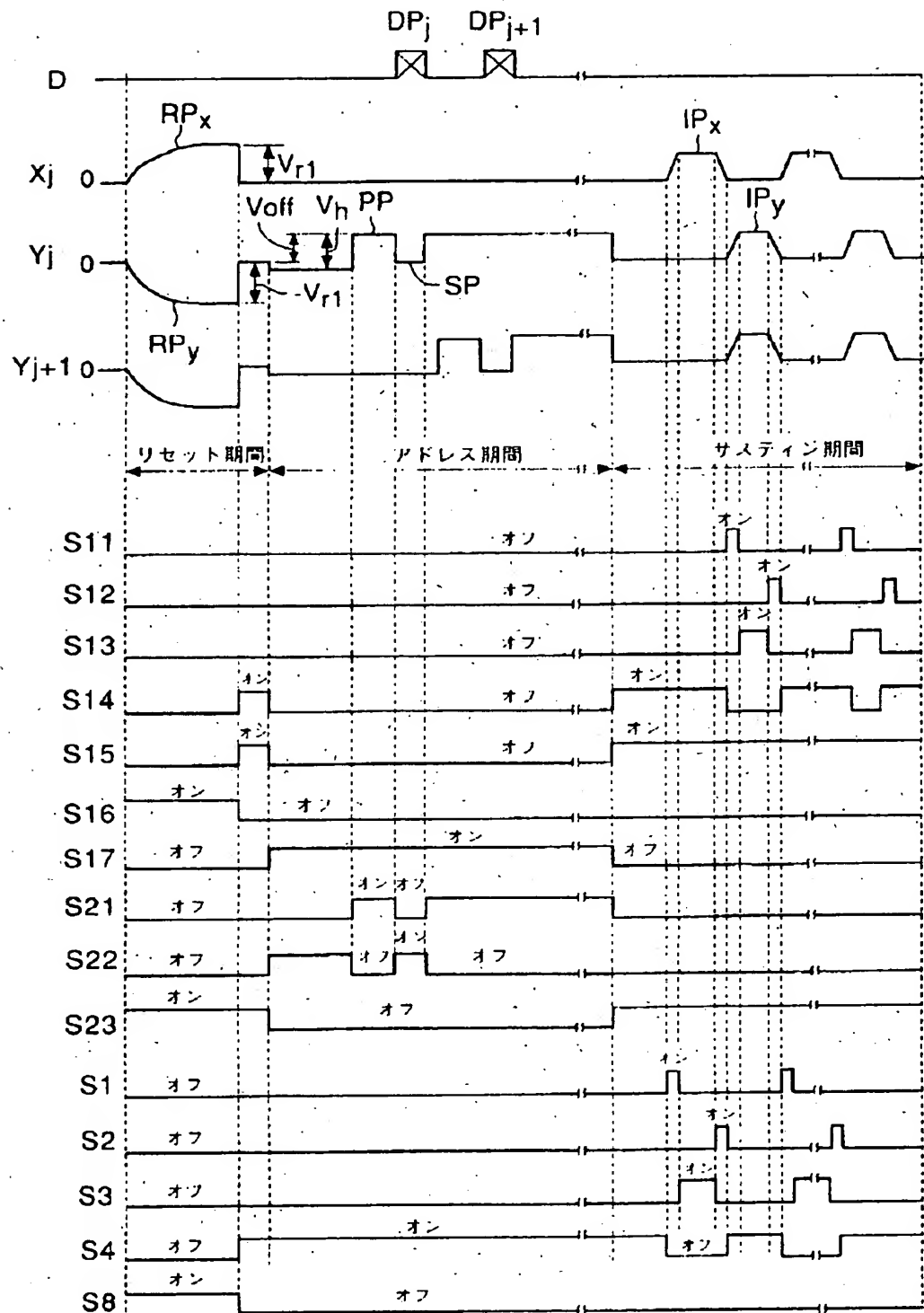
【図 1】



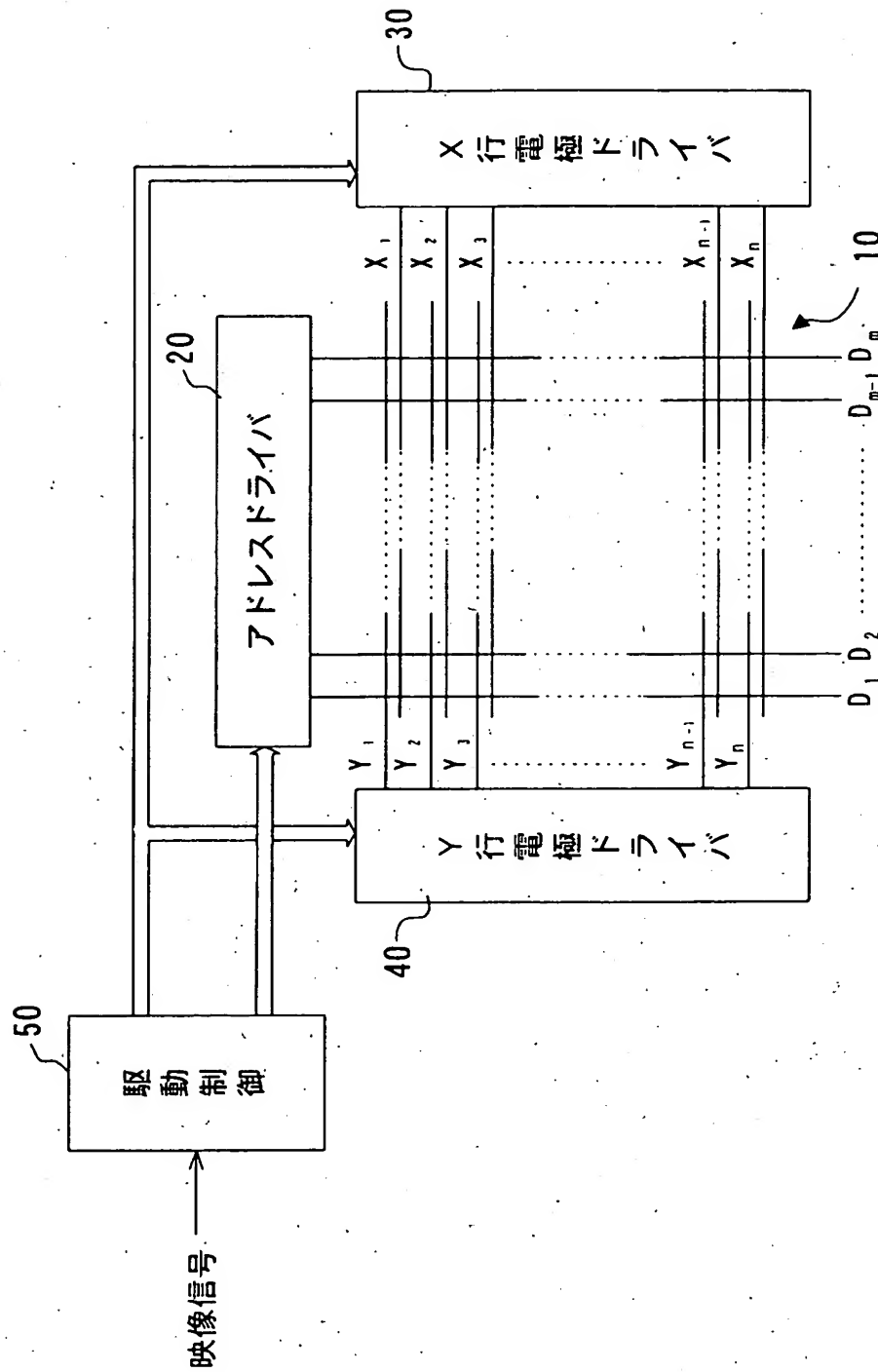
【図 2】



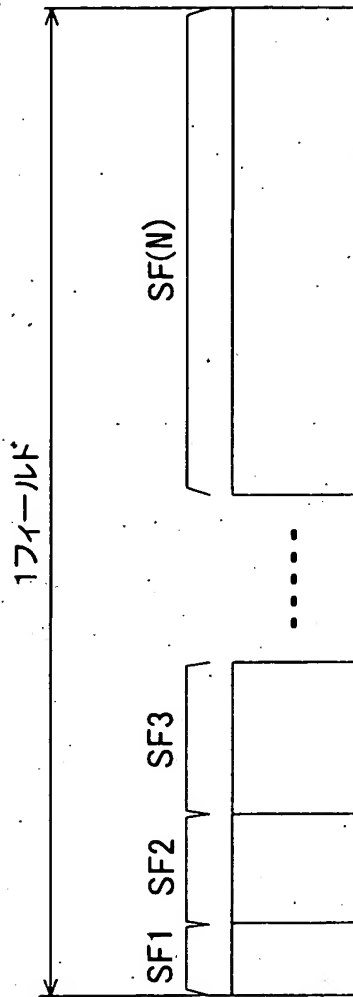
【図3】



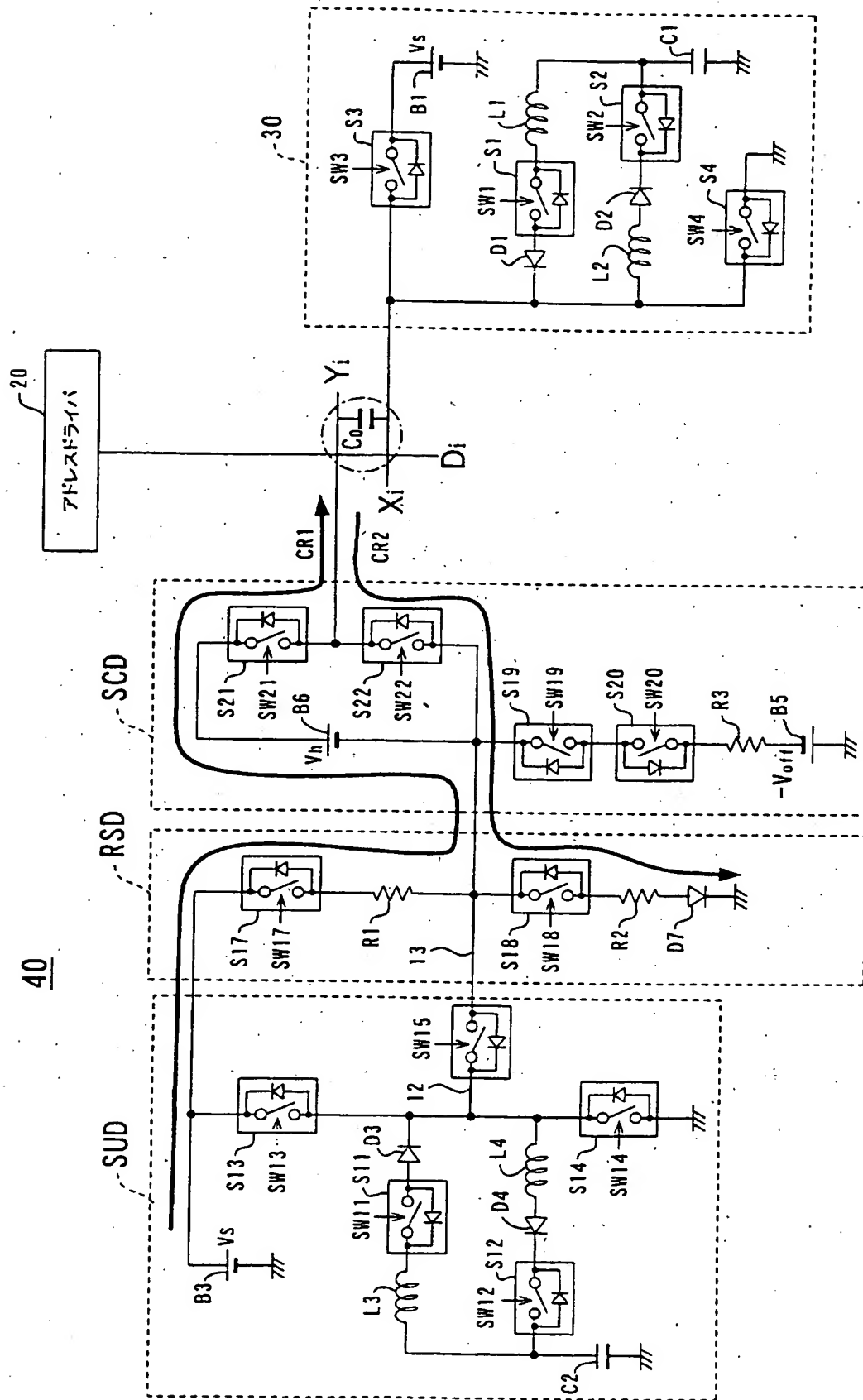
【図4】



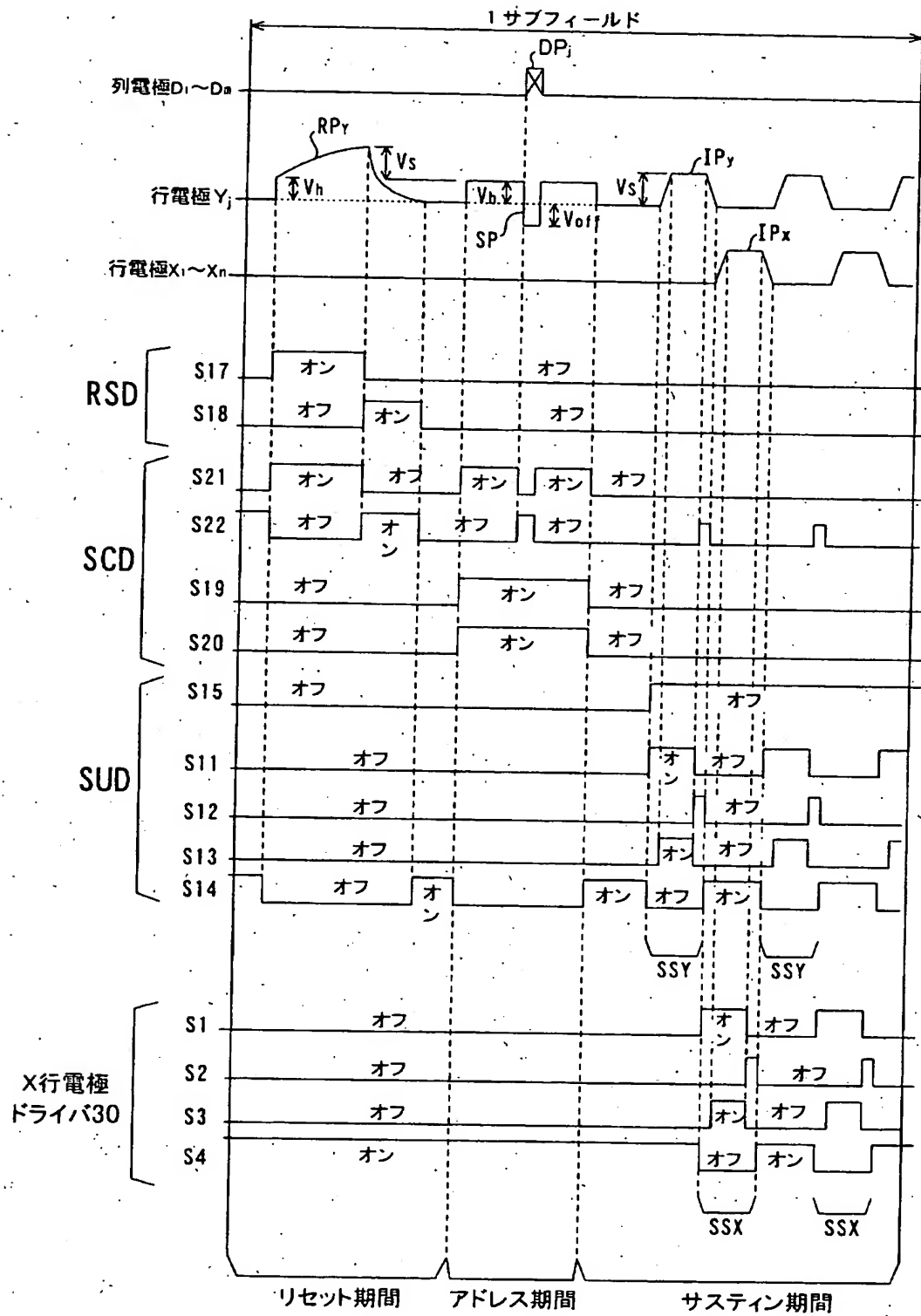
【図 5】



【図 6】



【図 7】



【書類名】 要約書

【要約】

【目的】 回路規模を小にすることが可能な表示パネルの駆動装置を提供することを目的とする。

【解決手段】 所定の第 1 電圧を発生する第 1 電源を備えこの第 1 電圧に基づいて表示パネルの容量性発光素子各々を点灯状態及び消灯状態のいずれか一方に設定させるべき走査パルスが発生して表示パネルの行電極に印加するスキャンドライバと、所定の第 2 電圧を発生する第 2 電源を備えこの第 2 電圧に基づいて点灯状態に設定された容量性発光素子を発光させるべき維持パルスが発生して表示パネルの行電極に印加するサステインドライバと、上記第 1 電源にて発生した第 1 電圧と上記第 2 電源にて発生した第 2 電圧とを加算した電圧に基づいて容量性発光素子の状態を初期化すべきリセットパルスが発生して行電極に印加するリセットドライバと、を有する。かかる構成により、リセットパルスが発生する専用の電源を不要にして回路の小規模化を図る。

【選択図】 図 6

出 願 人 履 歴 情 報

識別番号 [000005016]

1. 変更年月日 1990年 8月31日

[変更理由] 新規登録

住 所 東京都目黒区目黒1丁目4番1号

氏 名 パイオニア株式会社